

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63157439 A

(43) Date of publication of application: 30.06.88

(51) Int. Cl.

H01L 21/88

(21) Application number: 81304454

(71) Applicant: FUJITSU LTD

(22) Date of filing: 20.12.86

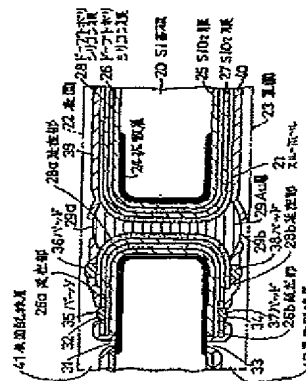
(72) Inventor: HASEGAWA HITOSHI

(54) MULTILAYER INTERCONNECTION STRUCTURE IN THROUGH HOLE COPYRIGHT: (C)1988,JPO&Japio

(57) Abstract:

PURPOSE: To reduce the number of necessary through holes, eliminate the limitation of a through hole diameter, and manufacture excellently a multilayer interconnection structure, by applying a multilayer structure to the wiring of through holes.

CONSTITUTION: Wiring in the through hole 21 of a P-Si substrate 20 is formed as a multilayer structure wherein the respective wiring layers 24, 26 and 28 are stacked via the respective insulative layers 24, 2b and 28. On extending parts 28a, 28b, 28a and 28b to a rear surface 23, connection parts 35W38 to other wirings are formed so as to reach the surface 22 of the multilayer interconnections 24, 26 and 28. The wiring of through hole 21 is formed as a multilayer structure, and the number of necessary through holes 21 is reduced. Thereby the limitation of the diameter of through hole 21 is eliminated, and the multilayer interconnection structure is excellently manufactured.



D5

Partial Translation of D5 (JP 63-157439)

1. Name of the Invention

MULTILAYER INTERCONNECTION STRUCTURE IN THROUGH HOLE

2. Scope of Claim(s)

A multilayer interconnection structure in a through hole,
wherein wiring in a through hole (21) of a substrate (20) is formed by a multilayer structure of which each of wiring layers (24, 26, 28) are stacked via insulative layers (25, 27), and

wherein connection parts (35-38) for connecting with other wiring are provided in extending parts (26a, 26b, 28a, 28b) of each of the wiring layers onto a front surface (22) and a back surface (23) of the substrate.

3. Detailed Description of the Invention

[Overview]

The present invention relates to a structure for multilayer interconnection in a through hole and enables reduction in the number of through holes and fine wiring on a substrate surface by providing a multilayer structure as wiring inside a through hole.

[Industrial Field of Application]

This invention is related to multilayer interconnection structure in through hole.

(omitted)

[page 3, upper left column, lines 8-19]

The pads 35, 36 are respectively provided on the extending parts 26a, 28a of the doped polysilicon films 26, 28 which extend to the side of the front surface

22 of the substrate. The other pads 37 and 38 are respectively provided on the extending parts 26b and 28b of the doped polysilicon films 26 and 28 which extend to the side of the back surface 23 of the substrate.

The pad 35 on the front surface and the pad 37 on the back surface of the substrate 20 are connected by the doped polysilicon film 26. The pad 36 and the pad 38 are connected by the other doped polysilicon film 28. The upper end part 29a and the lower end part 29b are electrically connected by the Au layer 29 in the through hole 21.

(omitted)

4. Brief Description of the Drawings

Figure 1 illustrates one example of a multilayer interconnection structure in a through hole according to the present invention;

Figures 2 (A) to (G) illustrate the manufacturing process of the multilayer interconnection structure in the through hole;

Figure 3 illustrates a semiconductor device in which the multilayer interconnection structure in the through hole of Figure 1 is applied as internal wiring; and

Figure 4 illustrates a semiconductor device in which internal wiring is a single layer structure.

In the Figures,

20: p-Si substrate;

21: through hole;

22: front surface;

23: back surface;

24: n⁺ diffusion layer;

25, 27: SiO₂ films;

26, 28: doped polysilicon films;

26a, 26b, 28a, 28b: extending parts;
29: Au layer;
31-34: contact holes
35-38: pads
39, 40: insulative layers
41: interconnection layer on front surface
42: interconnection layer on back surface
50, 54, 55: semiconductor device chip
56: semiconductor device

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-157439

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月30日

H 01 L 21/88

J-8708-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 スルーホール内の多層配線構造

⑯ 特 願 昭61-304454

⑰ 出 願 昭61(1986)12月20日

⑱ 発 明 者 長 谷 川 齊

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

スルーホール内の多層配線構造

2. 特許請求範囲

基板(20)のスルーホール(21)内の配線を複数の配線層(24, 26, 28)の夫々が絶縁層(25, 27)を介して積層された多層構造とし、且つ上記各配線層の上記基板の表面(22)及び裏面(23)上への延在部(26a, 26b, 28a, 28b)に、他の配線との接続部(35~38)を設けてなるスルーホール内の多層配線構造。

3. 発明の詳細な説明

(概要)

本発明はスルーホール内の多層配線構造において、スルーホール内の配線を多層構造として、スルーホールの数を少なくすること及び基板表面の微細配線を可能としたものである。

(産業上の利用分野)

本発明はスルーホール内の多層配線構造に関する。

(従来の技術)

本発明者は先に、第4図に示すように、半導体マザーチップ1上に複数の半導体デバイスチップ2, 3, 4を積層してなる構造の半導体装置を提案した、この半導体デバイスチップ2(3, 4)は、この上側に積層された半導体デバイスチップとこの下側の半導体デバイスチップとの間の電気的接続をとるため及び半導体デバイスチップ自体内の半導体デバイス部5との電気的接続をとるため、内部配線を有している。内部配線は基板のスルーホール一箇所につき一配線である。第1図中、6, 7, 8はスルーホール、9, 10, 11は夫々スルーホール6, 7, 8内の一層構造の内部配線である。

(発明が解決しようとする問題点)

このため、半導体デバイスチップ2(3, 4)には、上記の電気的接続に必要とされる数と同数のスルーホールを形成することになる。このスルーホールは例えばエッチングにより形成される。こゝで特に半導体デバイスチップの基板が400~500 μ と厚い場合には、スルーホールの径を小とし、隣り合うスルーホールの間の間隔を狭くすることが特に困難となる。

このように、スルーホールの数が多いこと、及びスルーホールの間隔が広いことにより、半導体デバイスチップ2(3, 4)の表面の配線を微細とすることが出来ないという問題点があった。

(問題点を解決するための手段)

本発明のスルーホール内の多層配線構造は、基板のスルーホール内の配線を複数の配線層の夫々が絶縁層を介して積層された多層構造とし、且つ上記各配線層の上記基板の表面及び裏面上への延在部に、他の配線との接続部を設けてなる。

を例えばエッチングにより形成する。配線を多層構造とする関係で、スルーホール21の数は少なくてもよく、例えば一つでもよく、またスルーホール21の径は大きくてもよく、スルーホール21は容易に形成される。なお、基板20には半導体デバイス部(図示せず)が形成されている。

次、第2図(B)に示すように、スルーホール21の内周面及び基板20の表面22及び裏面23のうちスルーホール21の開口近傍部にn⁺拡散層24を形成する。これが第1配線層を構成する。

次いで、熱酸化を行って、第2図(C)に示すように、第1絶縁層としてのSiO₂膜25を、スルーホール21の内周面及び基板20の表面面をカバーするように形成する。

次いで、CVDを行なって、第2図(D)に示すように、SiO₂膜25上にドーパントポリシリコンを被覆させ、第2配線層としてのドーパントポリシリコン膜26を、スルーホール21の内周面及び基板20の表面面に形成する。

(作用)

スルーホール内の配線を多層構造としたことにより、スルーホールについては必要とされる数が減り、径についての制限も緩和され、スルーホールが形成し易くなる。

各配線層の基板の表面面上への延在部に他の配線との接続部を設けたことにより、接続部を密着して配することが可能となり、表面面の配線層の微細化が可能となる。

(実施例)

第1図は本発明のスルーホール内の多層配線構造の一実施例を示し、第2図(A)乃至(G)は多層配線構造の製造工程を示し、第3図は第1図のスルーホール内の多層配線構造を適用した半導体デバイスチップ(半導体装置)を示す。

第1図の多層配線構造を、その製造工程に沿って説明する。

まず、第2図(A)に示すように厚さtが300~500 μ のp-Si基板20にスルーホール21

次いで、熱酸化を行なって、上記膜26の表面全体に、即ちスルーホール内周面及び基板の上下面に、第2図(E)に示すように、第2絶縁層としてのSiO₂膜27を形成する。これにより、ドーパントポリシリコン膜26が上下よりSiO₂膜25、27により挟まれた状態となる。

次いで、再びCVDを行なって、第2図(F)に示すように、SiO₂膜27上にドーパントポリシリコンを被覆させ、第3配線層としてのドーパントポリシリコン膜28を、スルーホール21の内周面及び基板の表面面に形成する。

こゝで、膜形成方法として、拡散、熱酸化及びCVDを用いているため、第2図(A)に示すようにスルーホール21の長さs(基板20の厚さtに等しい)が長くとも、前記の拡散層24及び膜25~28は共にスルーホール21の内周面にも確実に形成される。

次いで第2図(G)に示すように、スルーホールの部分をAu(又はPb/Sn)によりメッキし、最終配線層としてのAu層29を形成する。

次に、第1図に示すように、基板の表面22及び裏面23のうちスルーホール21の開口の近傍の所定の箇所を選択的にエッチングしてコンタクトホール31～34を形成し、接続部としてのパッド35～38を形成し、パッド35～38及びAu層29の上下端部29a、29bを除いて、PSG製の絶縁層39、40を形成する。

パッド35、36は夫々ドーフトポリシリコン膜26、28の基板表面22側への延在部26a、28aに設けてある。別のパッド37、38は夫々ドーフトポリシリコン膜26、28の基板裏面23側への延在部26b、28bに設けてある。

基板20の表面のパッド35と裏面のパッド37とがドーフトポリシリコン膜26により接続されている。パッド36とパッド38とは、別のドーフトポリシリコン膜28により接続されている。上端部29aと下端部29bとは、スルーホール21内のAu層29自体により電気的に接続されている。

更に、第1図中、二点鎖線で示すように、基

る。

この半導体デバイスチップ50は、第3図に示すように半導体マザーチップ51上にパンプ52、53を利用して実装される。更にチップ50と略同じ構造の半導体デバイスチップ54、55がチップ50上に積層して実装され、三層構造の半導体装置56が得られる。

なお、第2図(C)、(E)に示す熱酸化によるSiO₂膜27の代わりに、CVDによるSi₃N₄膜としてもよい。また、第2図(D)、(F)に示すドーフトポリシリコン膜26、28の代わりに、CVDによるタングステンシリサイドなどのシリサイド膜としてもよい。またAu層29の代わりにPb/Sn膜としてもよく、この場合にはリフローにより平坦化を行なってもよい。

(発明の効果)

本発明によれば、スルーホール内の配線が多層構造であるため、従来の様に単層構造である場合

基板20の表面22側に表面配線41をその一端がパッド35、36及び端部29a等と接続され、他端が基板20上の半導体デバイス部(図示せず)と接続されるようにして形成する。表面配線41の一部の他端にはチップ積層用のパンプ(図示せず)が形成される。同じく、基板20の裏面23側にも、裏面配線42をその一端がパッド37、38及び端部29b等と接続されるようにして形成する。他端にはチップ積層用のパンプ(図示せず)が形成される。

ここで、パッド35～38、上下端部29a、29bは比較的自由度をもって近接して配されており、表面配線41及び裏面配線42は共に微細に形成される。

特にパッド35～38についてみると、これが接続される相手との関係で接続がし易い位置に配することが出来、表面配線41及び裏面配線42をパターニングがし易い構造とし得る。

以上により、内部配線を多層構造としてなる第3図中一の半導体デバイスチップ50が得られ

に比べて、スルーホールの数を少なくすることが出来、スルーホールの径の制限が緩和され、スルーホールを容易に形成することが出来、しかも複数の接続部が近接して配されるため、表面に微細な配線を形成することが出来、例えば多層に積層して実装される半導体デバイスチップに適用して有効である。

4. 図面の簡単な説明

第1図は本発明のスルーホール内の多層配線構造の一実施例を示す図、

第2図(A)乃至(G)はスルーホール内の多層配線構造の製造工程を示す図、

第3図は第1図のスルーホール内の多層配線構造を内部配線として適用してなる半導体装置を示す図、

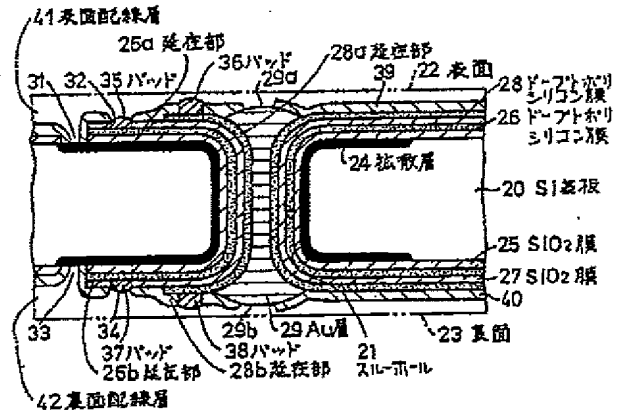
第4図は内部配線が単層構造である半導体装置を示す図である。

図において、

20はp-Si基板、

21はスルーホール、

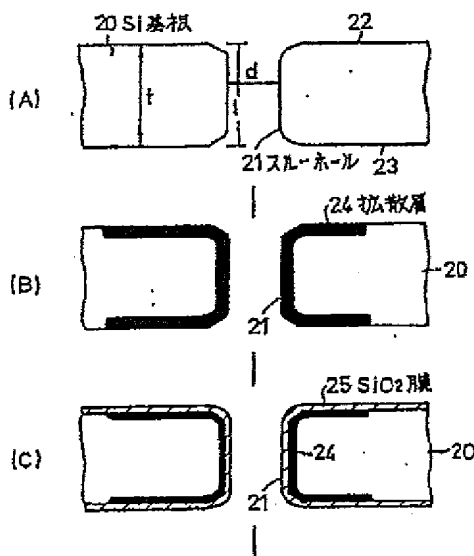
- 22 は表面、
- 23 は裏面、
- 24 は n^+ 拡散層、
- 25, 27 は SiO_2 膜、
- 26, 28 はドーフトホリシリコン膜、
- 26a, 28a, 28b は底在部、
- 29 は Au 層、
- 31~34 はコンタクトホール、
- 35~38 はパッド、
- 39, 40 は絶縁膜、
- 41 は表面配線層、
- 42 は裏面配線層、
- 50, 54, 55 は半導体デバイスチップ、
- 56 は半導体装置である。



本発明のスルーホール内の多層配線構造の一実施例を示す図

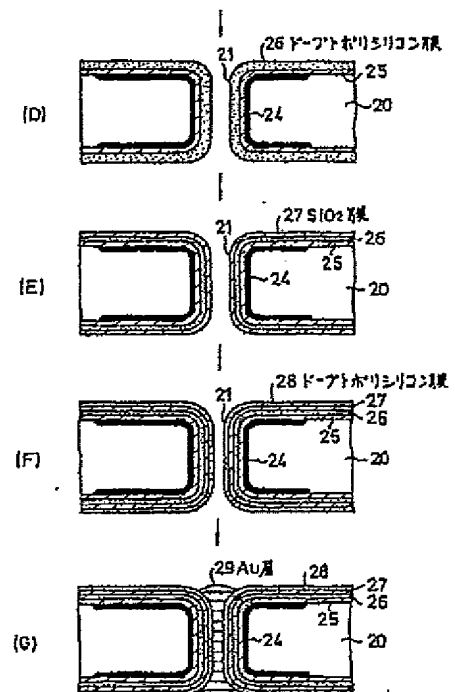
第 1 図

代理人 弁理士 井 新 貞



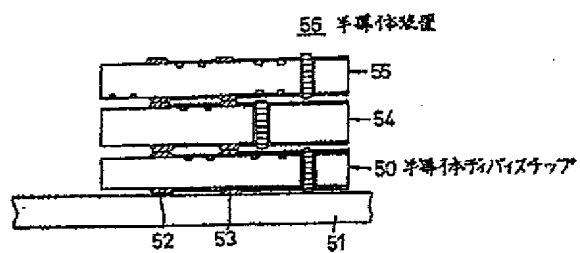
スルーホール内に多層配線を形成する工程を説明する図

第 2 図 (1)



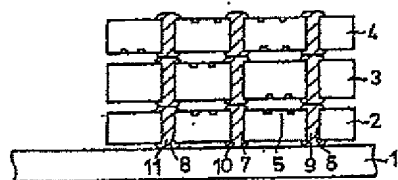
スルーホール内に多層配線を形成する工程を説明する図

第 2 図 (2)



本発明の多層配線構造を適用してなる
半導体装置を示す図

第 3 図



内部配線が単層構造である
半導体装置を示す図

第 4 図